

# (19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl. <sup>8</sup> H01L 21/28	(11) 공개번호 특 1999-0061101
(21) 출원번호 10-1997-0081355	(43) 공개일자 1999년 07월 26일
(22) 출원일자 1997년 12월 31일	
(71) 출원인 현대전자산업 주식회사 김영환	
(72) 발명자 황정웅	
	경기도 이천시 부발읍 아미리 산 136-1
	경기도 이천시 대월면 사동리 현대전자 아파트 111-1004
	차한섭
	경기도 이천시 부발읍 신하리 한상빌라 가동 203호
(74) 대리인 이정훈, 이권희	

심사청구 : 없음

## (54) 반도체 소자의 제조방법

### 요약

본 발명은 반도체 소자의 제조방법에 관한 것으로, 아날로그 논리 소자의 캐패시터 유전체로 엠.아이.엠 구조의 유전체로서 Ta<sub>2</sub>O<sub>5</sub>막을 사용함으로써 고유전 상수를 가지고 있을 뿐만 아니라, 적절한 처리를 통해 물질 자체가 가지고 있는 높은 누설전류를 줄이게 되면 공정온도가 매우 낮아 금속막 이후의 공정에서 충분히 사용할 수 있으며, 전극에 의한 소모현상을 최대한 억제하여 전압계수 특성의 향상을 통해 높은 정확성, 고유전의 아날로그 캐패시터를 형성할 수 있는 반도체 소자의 제조방법을 제공한다.

### 대표도

도 1a

명세서

### 도면의 간단한 설명

도 1a 및 도 1b 는 본 발명에 따른 반도체 소자의 제조공정도

도면의 주요 부분에 대한 부호의 설명

- |                                       |               |
|---------------------------------------|---------------|
| 10 : 절연막                              | 12 : 제 1금속배선  |
| 14 : 제 1층간절연막                         | 16 : 제 2층간절연막 |
| 18 : Ta <sub>2</sub> O <sub>5</sub> 막 | 20 : TiN막     |
| 22 : 콘택플러그                            | 24 : 제 2금속배선  |

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조방법에 관한 것으로서, 특히 아날로그 논리 소자의 엠.아이.엠(metal-Insulator-metal) 구조에서의 캐패시터 유전체로 Ta<sub>2</sub>O<sub>5</sub>막을 사용함으로써 고정확성, 고유전의 아날로그 캐패시터를 형성할 수 있는 기술에 관한 것이다.

$$C = \epsilon \frac{A(\text{면적})}{d(\text{전극간격})}$$

일반적으로, 캐패시터 용량은 로 알려져 있다. 따라서 용량(C)을 극대화 시키는 방법은 면적(A)을 넓게 하거나, 전극판 간격(d)을 좁게 하거나 또는 유전 상수가 높은 물질을 사용하는데 유전 상수가 높은 물질은 예를들어 Ta<sub>2</sub>O<sub>5</sub>, TiO<sub>2</sub>, SrTiO<sub>3</sub>등이 있으나, 상기 박막의 특성이나 신뢰도에 서 그 특성이 우수하지 못하다.

또한, 면적(A)을 극대화 시키는 방향으로 기술들이 개발되고 있으나, 제한된 셀 면적에서 (A)을 극대화 시키면 필연적으로 저장전극의 높이가 증가하거나, 제조공정이 복잡해진다.

T. SY488

(19) 大韓民国特許庁 (KR)

(12) 公開特許公報 (A)

(51) Int. Cl. <sup>6</sup>

(11) 公開番号 特 1999-0061101

H01L 21/28

(43) 公開日付 1999 年 07 月 26 日

(21) 出願番号 10-1997-0081355

(22) 出願日付 1997 年 12 月 31 日

(71) 出願人 現代電子産業株式会社

(72) 発明者 ファンジョンウ 外 1 人

(74) 代理人 イジョンフン 外 1 人

審査請求：無し

(54) 半導体素子の製造方法

要約

本発明は半導体素子の製造方法に関するものであって、アナログ論理素子のキャパシタ誘電体に M. I. M 構造の誘電体として Ta<sub>2</sub>O<sub>5</sub> 膜を用いることにより高誘電定数を有しているだけでなく、適切な処理を通じて物質自体が持っている高い漏洩電流を減らすようになれば、工程温度が非常に低くて金属膜以後の工程で十分に用いることができ、電極による消耗現象を最大限抑制して電圧係数特性の向上を通じて高い正確性、高誘電のアナログキャパシタを形成できる半導体素子の製造方法を提供する。

代表図

図 1b

明細書

図面の簡単な説明

図 1a 及び図 1b は本発明による半導体素子の製造工程図

図面の主要部分に対する符号の説明

10：絶縁膜

12：第 1 金属配線

14：第 1 層間絶縁膜

16：第 2 層間絶縁膜

18 : Ta<sub>2</sub>O<sub>5</sub> 膜

20 : TiN 膜

22 : コンタクトプラグ

24 : 第 2 金属配線

## 発明の詳細な説明

### 発明の目的

#### 発明が属する技術及びその分野の従来技術

本発明は半導体素子の製造方法に関するものであって、特にアナログ論理素子のM. I. M(metal-insulator-metal)構造におけるキャパシタ誘電体として Ta<sub>2</sub>O<sub>5</sub> 膜を用いることにより高正確性、高誘電のアナログキャパシタを形成できる技術に関するものである。

一般的に、キャパシタ容量は  $C = \epsilon \frac{A}{d}$  (面積) / (電極間隔) と知られている。従って、容量(C)を極大化させる方法は、面積(A)を広くしたり、電極板間隔(d)を狭くしたり、または誘電定数が高い物質を用いるが、誘電定数が高い物質は、例えば Ta<sub>2</sub>O<sub>5</sub>、TiO<sub>2</sub>、SrTiO<sub>3</sub> などがあるが、上記薄膜の特性や信頼度でその特性に優れていない。

また、面積(A)を極大化させる方向に各技術が開発されているが、制限されたセル面積で(A)を極大化させれば必然的に格納電極の高さが増加したり、製造工程が複雑になる。

一方、従来のアナログ(analog)キャパシタ構造は、ポリシリコン膜/絶縁膜/ポリシリコン膜電極構造からなっている。この場合、ポリシリコン膜に不純物を注入して電極(electrode)の役割を十分にできるようにしているが、電極に電圧の印加時にポリシリコン膜電極の消耗(depletion)によって電圧係数(voltage coefficient)特性の悪化をもたらす。

従って、これを解決するためには、電極消耗のない金属膜電極を用いなければならないが、金属膜と金属膜との間のキャパシタ誘電体(dielectric)として使える適切な物質がなくてこの構造を具現できていない。

### 発明がなそうとする技術的課題

これに対し、本発明は上記の問題点を解決するためのものであり、高誘電定数(high dielectric constant)を有しているだけでなく、適切な処理を通じて物質自体が持っている高い漏洩電流を減らすようになれば、工程温度が非常に低くて金属膜以後の工程で十分に用いることができるアナログキャパシタの誘電体として Ta<sub>2</sub>O<sub>5</sub> 膜を用いることにより、電極による消耗現象を最大限抑制して電圧係数特性の向上を通じて高い

正確性、高誘電のアナログキャパシタを形成でき、素子の信頼性を向上させる半導体素子の製造方法を提供することにその目的がある。

(57) 請求の範囲

請求項 1

半導体素子のアナログキャパシタ製造方法において;

所定の下部構造物を備える半導体基板の上部に形成されている絶縁膜上に第 1 金属配線を形成する工程と、

上記第 1 金属配線の上部に層間絶縁膜を順次形成する工程と、

上記第 1 金属配線の上部表面が露出するコンタクトホールを形成する工程と、

上記構造の全表面に拡散防止膜を形成する工程と、

上記コンタクトホールを埋め込むコンタクトプラグを形成する工程と、

上記構造の全表面に第 2 金属配線を形成する工程とを含むことを特徴とする半導体素子の製造方法。

請求項 2

第 1 項において、上記層間絶縁膜は二層で形成するが、第 1 層間絶縁膜を 13000～15000 Å 厚さの HDPCVD 酸化膜で形成し、上記第 2 層間絶縁膜を 300～700 Å 厚さの  $O_3$ -TEOS 酸化膜で形成することを特徴とする半導体素子の製造方法。

請求項 3

第 1 項において、上記拡散防止膜は  $Ta_2O_5$  膜と TiN 膜の積層構造で形成することを特徴とする半導体素子の製造方法。